

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-184707
(43)Date of publication of application : 30.06.2000

(51)Int.Cl. H02M 3/28

(21)Application number : 10-375126 (71)Applicant : SHINDENGEN ELECTRIC MFG CO

LTD

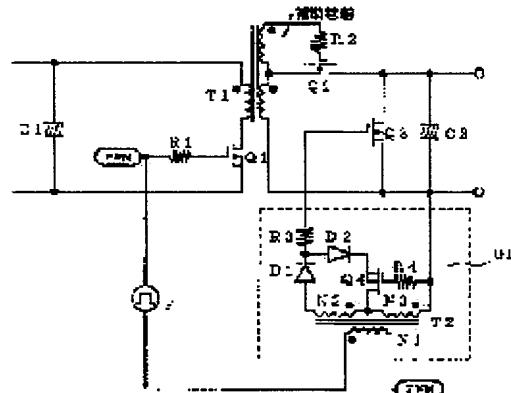
(22)Date of filing : 11.12.1998 (72)Inventor : TAKASHIMA TOYOTAKA

(54) SYNCHRONOUS RECTIFICATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To retain a stable gate voltage by superposing a secondary coil winding voltage and a tertiary coil winding voltage and applying them to a MOSFET for commutation as a gate signal voltage by switching or applying only the secondary coil winding voltage or the tertiary coil winding voltage in negative biasing.

SOLUTION: Since the positive voltage of a pulse transformer T2 is outputted with a coil winding ratio of N1:(N2+N3) even if duty becomes small during PWM control, a gate voltage is given satisfactorily. Since a negative voltage does not exceed the rating of the gate voltage due to the number of turns of N1:N2, it is increased by the positive voltage. As a result, by switching the secondary side coil winding voltage of the pulse transformer for utilizing as a single or superposition gate signal, a stable gate voltage can be retained by adjusting the number of turns and the ratio of the number of turns of each coil winding even if the duty ratio of an input pulse width signal changes, thus reducing loss.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-184707
(P2000-184707A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.
H 02 M 3/28

識別記号

F I
H 02 M 3/28

テマコト (参考)
H 5 H 7 3 0

審査請求 未請求 請求項の数2 FD (全4頁)

(21)出願番号 特願平10-375126

(22)出願日 平成10年12月11日 (1998.12.11)

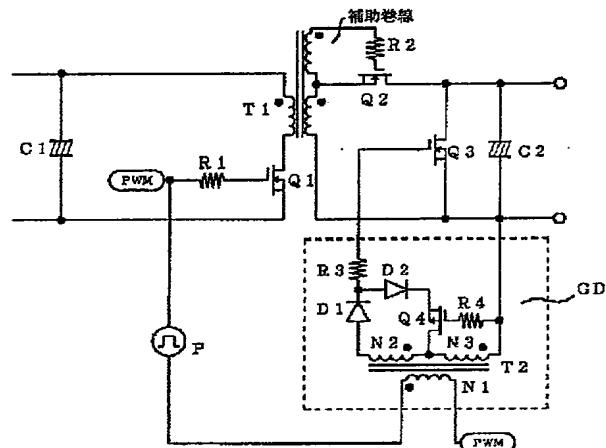
(71)出願人 000002037
新電元工業株式会社
東京都千代田区大手町2丁目2番1号
(72)発明者 高嶋 豊隆
埼玉県飯能市南町10番13号新電元工業株式
会社工場内
Fターム(参考) 5H730 AA14 BB23 BB57 DD04 EE02
EE14 FG05

(54)【発明の名称】 同期整流回路

(57)【要約】 (修正有)

【課題】 駆動パルスのオン、オフデューティ比が可変した状態で安定したゲート電圧を保持する。

【解決手段】 同期整流回路の転流用MOSFETのゲート信号をパルス幅信号を入力とするパルストラnsの1次巻線、2次巻線及び3次巻線の巻数、巻数比の調整と、2次巻線電圧及び3次巻線電圧を切換スイッチにより单一又は重畳する駆動回路を構成する。



【特許請求の範囲】

【請求項1】 主トランスの1次巻線に主スイッチ素子を接続し、前記トランスの2次巻線に並列にソース共通の整流用MOSFETと転流用MOSFETの直列回路を接続し、又、前記主スイッチ素子を駆動するパルス幅制御回路と前記駆動パルスを絶縁トランスを介して前記転流用MOSFETを駆動する駆動回路を備えた同期整流回路において、前記駆動回路は、1次巻線、2次巻線及び3次巻線を有するパルストラ nsと、前記2次巻線電圧又は、2次巻線電圧及び3次巻線電圧を該転流用MOSFETの駆動信号として印加する切換スイッチを備えたことを特徴とする同期整流回路。

【請求項2】 主トランスに補助巻線を設け、前記補助巻線電圧により整流用MOSFETを駆動するようにしたことを特徴とする請求項1の同期整流回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はトランスの2次巻線側に整流用MOSFETと転流用MOSFETを接続した所謂同期整流回路に関し、特に転流用MOSFETの駆動回路に関するものである。

【0002】

【従来の技術】 DC-DCコンバータ等の電圧変換装置において、整流用ダイオードをMOSFETに置き換えた同期整流回路は、導通状態での電圧降下が低減できるため回路の効率を向上できる利点がある。図3は、同期整流回路を用いた一式式フォワードコンバータの従来例である。図中Q1は主スイッチ、T1は主トランスn1、n2及びn3はその1次巻線、2次巻線及び補助巻線、Q2及びQ3は整流用MOSFET及び転流用MOSFETで夫々ドレイン（又はソース）が共通接続

(2)

され直列回路を形成し、該2次巻線n2間に並列に接続されている。C1、C2は平滑用コンデンサ、Lはチョークコイル、PWMは主スイッチQ1をオン、オフ制御するパルス幅制御回路、T2は前記パルス幅信号を絶縁して転流用MOSFETにゲート駆動信号として印加するパルストラ nsでn1、n2はその1次巻線及び2次巻線である。又、整流用MOSFET Q2では前記補助巻線n3によりゲート駆動信号が与えられる。

【0003】 この回路の動作はパルス幅制御回路PWMの駆動パルス（H）により、主スイッチ素子Q1がオンするとトランスT1の補助巻線n3に発生した電圧により整流用MOSFET Q2をオンさせ、チョークコイルLを介して出力コンデンサC2に所定の出力を発生させる。この時パルストラ ns T2の2次巻線n2には転流用MOSFETのゲートに対しオフする方向の電圧（負電圧）が印加され、該転流用MOSFETはオフ状態に保持される。一方駆動パルスがハイ（H）からロウ（L）に変化すると主スイッチQ1及び整流用MOSF

E T Q 2は共にオフとなる。同時にパルストラ ns T 2の2次巻線n2の電圧により転流用MOSFETは正バイアスされてオンとなりチョークコイルLに蓄積されたエネルギーを該転流用MOSFET Q 3を経由して出力コンデンサC 2に放出する。

【0004】 図4は上記従来回路のパルス幅制御回路（PWM）の信号波形図4（a）、と転流用MOSFET Q 3のゲート電圧波形図4（b）を示し、パルストラ ns T 2の1次巻線に与えられるパルス幅信号の幅がW-W' とせまくなり所謂デューティ比（オン、オフ比）が小さくなるとMOSFET Q 3のゲート電圧は図（b）に示すよう電圧V1からΔV低下した電圧V2となり、所定のゲート電圧V1が得られない場合がある。通常この対応としてパルストラ ns T 2の1次巻線n1及び2次巻線n2の巻き数比（n2/n1）を上げ所定のゲート電圧を得ているが、この場合は逆にゲート電圧が定格を越す場合があり、又損失が大となる。

【0005】

【発明が解決しようとする手段】

20 (3)

本発明は上記従来技術の不都合を解決するために創作されたものであり駆動パルスのデューティ比が可変しても安定したゲート電圧を保持できる駆動回路を提供するものである。

【0006】

【課題を解決するための課題】 上記課題を解決するため請求項1の発明は、主トランスの1次巻線に主スイッチ素子を接続し、前記トランスの2次巻線に並列にソース（又はドレイン）共通の整流用MOSFETと転流用MOSFETの直列回路を接続し、又、前記主スイッチ素子を駆動するパルス幅制御回路と、前記駆動パルスを絶縁トランスを介して前記転流用MOSFETを駆動する駆動回路を備えた同期整流回路において、前記駆動回路は、1次巻線、2次巻線及び3次巻線を有するパルストラ nsと、前記2次巻線電圧又は2次巻線電圧及び3次巻線電圧を該転流用MOSFETの駆動信号として印加する切換スイッチを備え、該スイッチの切換え（ON, OFF）により転流用MOSFETに正バイアス時には2次巻線電圧及び3次巻線電圧を重量してゲート信号電圧として印加し、又負バイアス時は、2次巻線電圧又は3次巻線電圧のみを印加するようにしたものである。

【0007】

【発明の実施の形態】 以下図面を参照し、本発明の実施の形態について説明する。図1は、本発明の実施形態に係わる同期整流回路である。図中従来例と同一符号は同等部分を示す。G Dは本発明の要部を構成する転流用MOSFET Q 3の駆動回路で、T 2はパルストラ ns、n 1はパルス幅信号Pを入力する1次巻線、n 2及びn 3は2次巻線及び3次巻線で個別に設けても又中間タップ型としてもよい。Q 4は切換スイッチとしてのMOS

FETでダイオードD1, D2と共に2次巻線n2の両端に接続され、バイパス回路を形成する。なお、MOSFETQ4のゲートは抵抗R4を介して3次巻線n3の他端に接続されている。

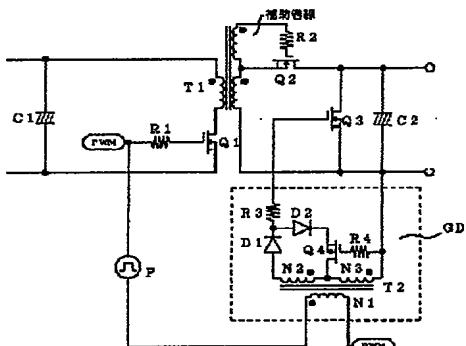
【0008】これを動作するには、MOSFET Q1とMOSFET Q2が同時にオンされ

(4)

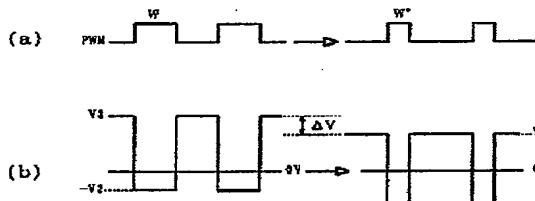
る時、これらのゲート信号はハイ (H) が来ており、同時にパルストラ ns T 2 の 1 次側 n 1 にもハイ (H) が来ている。この時 MOSFET Q 4 のゲートに電圧が与えられ、Q 4 は ON する。その為、パルストラ ns T 2 の巻線比は N 1 : N 2 となるので、転流用 MOSFET Q 3 には、この巻線比で負の電圧がかかり、オフとなる。同様に Q 1 と Q 2 が同時に OFF している時、ゲート信号はロー (L) が来ている。この時には Q 4 のゲートには電圧が与えられず、Q 4 は OFF しているので T 2 の巻線比が N 1 : (N 2 + N 3) となる正電圧が転流用 MOSFET Q 3 に与えられオンする。

【0009】図2(a) (b)は、本発明に適用する駆動回路G Dに入力するパルス幅信号(PWM)波形
(a)、及びゲート電圧波形(b)を示す、図から明らかなように、PWM制御中、デューティが小さくなつた場合でも、パルストラns T 2の正電圧は、N 1 : (N 2 + N 3)の巻数比で出力される為、満足にゲート電圧が与えられ、負電圧は、N 1 : N 2の巻数であるから、ゲート電圧の定格を越えることなく、正電圧だけ上げら

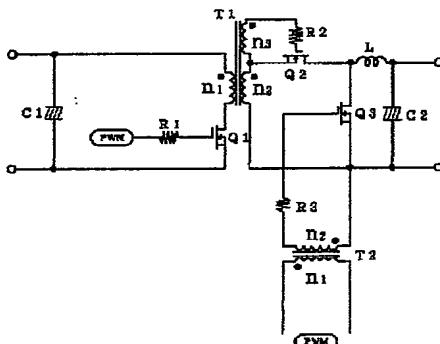
【圖 1】



[図2]



[図3]



【図4】

